

Japanese Patent Laid-open Publication No. HEI 11-196540 A

Publication date : July 21, 1999

Applicant : Seiko Instruments Inc.

Title : ELECTRONIC DEVICE

5

(57) [Abstract]

[Object] To reduce a size of a power feeding device that feeds power as small as possible and to charge a charger with a high charging efficiency.

[Means] A supply power from a generator 12 is fed to an oscillation power control circuit 16 via a first power feed line 14. Charged power stored in a secondary battery 22 is fed to the oscillation power control circuit 16 via a second power feed line 26. In the oscillation power control circuit 16, power with a higher voltage is selected and fed to drive an oscillation circuit 18, a clock signal is generated to drive a boosting circuit 20, and power supplied from the generator 12 is boosted to charge the secondary battery.

[0052] Supply power output from a power feeding device 12 is fed via a first power feed line 14 and switched at an oscillation power control circuit 16, described later, to be fed to an oscillation circuit 18. Power is also supplied from a generator 12 to a boosting circuit 20. The generator 12 is not limited to the above-described thermal-electric converting element but it may be a solar panel (a solar cell plate) or the like.

[0053] The oscillation power control circuit 16 performs control so as to switch to one of supply power from the generator 12 via the first power feed line 14 as a power from the oscillation circuit 18 and charged power supplied from the

secondary battery 22 via the second power feed line 26 to feed it.

[0054] The oscillation circuit 18 generates a clock signal for driving the boosting circuit 20 described later based upon power supplied from the oscillation power control circuit 16. The oscillation circuit 18 is set with the minimum driving voltage required for driving the oscillation circuit 18.

Therefore, unless voltage equal to or more than the minimum driving voltage is fed to the oscillation circuit 18, the oscillation circuit 18 does not start its driving, and when a supply voltage becomes below the minimum driving voltage during driving, the oscillation circuit 18 stops its driving.

[0055] The magnitude of amplitude of a clock signal generated at the oscillation circuit 18 becomes larger according to rising of a voltage of power fed to the oscillation circuit 18, and a boosting efficiency is improved by magnifying amplitude of a clock signal to feed the clock signal with the magnified amplitude to the boosting circuit 20.

[0056] The boosting circuit 20 is driven by a clock signal supplied from the oscillation circuit 18 to boost a voltage of power supplied from the generator 12. When the amplitude of a clock signal supplied from the oscillation circuit 18 is magnified, the boosting efficiency is improved so that power supplied from the power feeding device 12 can be boosted further largely.

[0057] The secondary battery 22 charges and stores power boosted in the boosting circuit 20. Power stored in the secondary battery 22 is fed to an electronic device driving circuit as a load (here, movement for a watch or the like), not shown, so that an electronic device can be driven.

[0058] A Schottky diode 24 is provided between the secondary battery 22 and the boosting circuit 20, which prevents power loss due to reverse flow of a

current from the secondary battery 22 to the boosting circuit 20.

[0059] The secondary power feed line 26 is for feeding charged power stored in the secondary battery 22 to the oscillation power control circuit 16.

[0060] Fig. 2 is a configuration example of the oscillation power control circuit

5 16 shown in Fig. 1, and three terminals of the oscillation power control circuit 16 are respectively a first input terminal 28 input with supply power from the generator 12, a second input terminal 30 input with charged power from the secondary battery 22, and an output terminal 32 that feeds power to the oscillation circuit 18. The oscillation power control circuit 16 shown in Fig. 2  
10 has such a configuration that Schottky diodes 34 and 36 are arranged in an opposing manner to each other in routes from the first input terminal 28 and the second input terminal 30 to the output terminal 32.

[0061] Therefore, since only a power with a higher voltage of powers supplied from the generator 12 and the secondary battery 22, respectively, is output to  
15 the output terminal 32 via the Schottky diode (34 or 36), even if the power supplied from the generator 12 is a supply power below the minimum driving voltage of the oscillation circuit 18, the power can be boosted at the boosting circuit 20, so that the secondary battery 22 is efficiently charged to store electricity.

20 [0062] Thus, after the oscillation power control circuit 16 shown in Fig. 2 first actuates the oscillation circuit 18 with power supplied from the generator 12, then generates a boosted voltage at the boosting circuit 20, and stores the boosted voltage in the secondary battery 22, it can drive the oscillation circuit 18 utilizing the charged power.

25 [0063] Fig. 3 is another configuration example of the oscillation power control

circuit 16 shown in Fig. 1. A feature of the configuration example shown in Fig. 3 lies in addition of a function of preventing the oscillation circuit 18 from being driven using charged power when there is no power supplied from the generator 12 (when it is unnecessary to actuate the oscillation circuit 18).

5 [0064] That is, a predetermined reference voltage (a detected voltage) output from a reference voltage circuit 38 and a voltage supplied from the generator 12 are compared with each other at a comparator 40. When the voltage of the supply power is lower than the detected voltage, a plus voltage is output to turn OFF the p-channel metal oxidized semiconductor (PMOS) transistor 42 so  
10 that the charged power is not fed.

[0065] Therefore, a valuable charged power is not wasted and further effective charging can be performed.

[0066] Fig. 7 is another configuration example of the oscillation power control circuit 16 shown in Fig. 1, and Fig. 8 depicts timing charts of three kinds of  
15 signals output from a timer circuit 56 shown in Fig. 7.

[0067] In Fig. 7, a feature of the oscillation power control circuit 16 lies in a function of, when charged power does not increase even if the oscillation circuit is operated with charged power, stopping operation of the oscillation circuit performed using the charged power.

20 [0068] That is, when a signal A from the timer circuit 56 is applied to the gate of the PMOS transistor 60 and the PMOS transistor 60 is turned ON at a falling of the signal A, charged power is taken in a capacitor 62.

[0069] Thereafter, a rising of a signal B is detected, and a voltage of the charged power taken in the capacitor 62 at a falling time of the signal A before  
25 the signal B and a voltage of the charged power at that time are compared with

each other at the comparator 52. When a voltage at a rising time of the signal B is higher than a voltage of the charged power, an output of the comparator 52 is input into a D terminal of a D type flip-flop 54, and an output of a NOR circuit 58 input with an output of a Q terminal and the signal B is applied to the gate of the PMOS transistor 42, so that the PMOS transistor 42 continues to be ON until the next signal A falls. On the contrary, such an operation is repeated that, when a voltage at a rising time of the signal B is lower than the voltage of the charged power, the PMOS transistor 42 continues to be OFF until the next signal A falls.

10 [0070] Therefore, since such lowering of the charged voltage supplied from the secondary battery 22 means a situation that efficient charging is not being conducted, driving the oscillation circuit using the charged power is a waste. Therefore, consumption of the charged power is prevented by tuning OFF the PMOS transistor 42 and charging is performed efficiently.

15 [0071] (Second Embodiment) An electronic device 50 shown in Fig. 4 is further provided with a third power feed line 46 input with a boosted power in addition to the configuration of the electronic device 10 shown in Fig. 1, and is provided with an oscillation power control circuit 44 added with a function of, when a boosted power is not generated even if the oscillation circuit 18 is

20 operated with charged power, stopping operation of the oscillation circuit 18 performed using the charged power.

[0072] Fig. 5 is a specific configuration example of the oscillation power control circuit 44 shown in Fig. 4, and Fig. 6 depicts timing charts of two kinds of signals output from the timer circuit 56 shown in Fig. 5.

25 [0073] In Fig. 5, a voltage of a boosted power is detected by a voltage

detector including a reference voltage circuit 50 that generates a predetermined reference voltage, a comparator 52 that compares a voltage of a boosted power output from the boosting circuit 20 and the reference voltage with each other, a D type flip-flop circuit 54, and a NOR circuit 58.

5 [0074] When signals A and B are output from the timer circuit 56, and a rising of a voltage of the signal A input into the NOR circuit 58 is detected, the PMOS transistor 42 is turned ON. Thereafter, a rising of the signal B is detected so that a voltage of the boosted power is detected. Such an operation is repeated that, when the voltage of the boosted power is equal to or more than  
10 the reference voltage value, the PMOS transistor 42 continues to be ON until the next signal A rises and when the voltage of the booster power is less than the reference voltage value, the PMOS transistor 42 continues to be OFF until the signal A rises.

[0075] Therefore, when a voltage of a boosted power supplied from the  
15 boosting circuit is only a voltage lower than the reference voltage value, the secondary battery 22 can be charged efficiently by turning OFF the PMOS transistor 42 so as to prevent wasteful consumption of the charged power.

[0076] (Third Embodiment) A schematic configuration of an electronic  
device 70 according to a third embodiment will be explained next. According  
20 to the electronic device 70 shown in Fig. 9, an oscillation power control circuit 72 that can perform switching so as to drive the oscillation circuit 18 with any one of a supply power from the generator 12, a boosted power output from the boosting circuit 20, and a charged power supplied from the secondary battery is provided in place of the oscillation power control circuit 16 in the electronic  
25 device 10 shown in Fig. 1.

[0077] In comparison with the oscillation power control circuit 44 in the electronic device 50 shown in Fig. 4, the oscillation power control circuit 44 detects a voltage value of the boosted power, but it can not take the boosted power itself therein, which is different from the oscillation power control circuit 72.

[0078] Fig. 10 is a configuration example of the oscillation power control circuit 72 shown in Fig. 9. As shown in Fig. 10, the oscillation power control circuit 72 has Schottky diodes 74 and 76 arranged in routes from a first input terminal 28 and a second input terminal 30 to an output terminal 32, directing to the output terminal, and includes a third input terminal 48 directly connected with the output terminal 32.

[0079] In the electronic device 70 thus configured, the oscillation circuit 18 is first actuated using power supplied from the generator 12. When a boosted power is generated in the boosting circuit 20, since the boosted power becomes larger in voltage than the supply power, switching to the boosted power occurs at the oscillation power control circuit 72, so that the oscillation circuit 18 is driven with the boosted power.

[0080] After the secondary battery 22 is charged with the boosted power boosted in the boosting circuit 20, even if such a situation occurs that, after the supply power is once stopped and the boosted power is also stopped, only a voltage feeding capacity equal to or less than the lowermost driving voltage for the oscillation circuit is obtained, a boosted power is obtained again by taking the charged power to drive the oscillation circuit 18, so that the oscillation circuit 18 can be driven with the boosted power.

[0081] Therefore, even when the generator 12 only has a feeding capacity of

the lowermost driving voltage or less for the oscillation circuit, boosting can be performed so that efficient charging can be performed.

[0082] Since the oscillation circuit can be driven using a boosted power higher in voltage than the charged power, a peak value (so-called "a magnitude of amplitude of a clock signal) of a clock signal can be made high. As a result, the boosting capacity is improved so that charging can be performed efficiently.

#### [BRIEF DESCRIPTION OF THE DRAWINGS]

[Fig. 1] Fig. 1 is a block diagram of a schematic configuration of an electronic device according to a first embodiment;

[Fig. 2] Fig. 2 is a configuration diagram of an oscillation power control circuit shown in Fig. 1;

[Fig. 3] Fig. 3 is another configuration diagram of the oscillation power control circuit shown in Fig. 1;

[Fig. 4] Fig. 4 is a block diagram of a schematic configuration of an electronic device according to a second embodiment;

[Fig. 5] Fig. 5 is a configuration diagram of an oscillation power control circuit shown in Fig. 4;

[Fig. 6] Fig. 6 is a signal waveform diagram in Fig. 5;

[Fig. 7] Fig. 7 is a configuration diagram of an oscillation power control circuit shown in Fig. 1;

[Fig. 8] Fig. 8 is a signal waveform diagram in Fig. 7;

[Fig. 9] Fig. 9 is a block diagram of a schematic configuration of an electronic device according to a third embodiment; and

[Fig. 10] Fig. 10 is a circuit configuration diagram of an oscillation power



control circuit shown in Fig. 9.

[Description of Signs]

|    |            |                                   |
|----|------------|-----------------------------------|
|    | 10         | Electronic device                 |
| 5  | 12         | Generator                         |
|    | 14         | First power feed line             |
|    | 16, 44, 72 | Oscillation power control circuit |
|    | 18         | Oscillation circuit               |
|    | 20         | Boosting circuit                  |
| 10 | 22         | Secondary battery                 |
|    | 24         | Schottky diode                    |
|    | 26         | Second power feed line            |
|    | 38, 50     | Reference voltage circuit         |
|    | 56         | Timer circuit                     |

**This Page Blank (uspto)**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-196540

(43) 公開日 平成11年(1999) 7月21日

| (51) Int.Cl. <sup>6</sup> | 識別記号  | F I                  |
|---------------------------|-------|----------------------|
| H 0 2 J 9/06              | 5 0 2 | H 0 2 J 9/06 5 0 2 B |
| 7/00                      | 3 0 3 | 7/00 3 0 3 A         |
| H 0 2 M 3/00              |       | H 0 2 M 3/00 X       |

審査請求 未請求 請求項の数17 O L (全 18 頁)

(21) 出願番号 特願平9-361310

(22) 出願日 平成9年(1997)12月26日

(71) 出願人 000002325

セイコーインスツルメンツ株式会社  
千葉県千葉市美浜区中瀬1丁目8番地

(71) 出願人 395003198

株式会社エスアイアイ・アールディセンタ  
ー  
千葉県千葉市美浜区中瀬1丁目8番地

(72) 発明者 宇都宮 文靖

千葉県千葉市美浜区中瀬1丁目8番地 株  
式会社エスアイアイ・アールディセンタ  
ー内

(74) 代理人 弁理士 林 敬之助

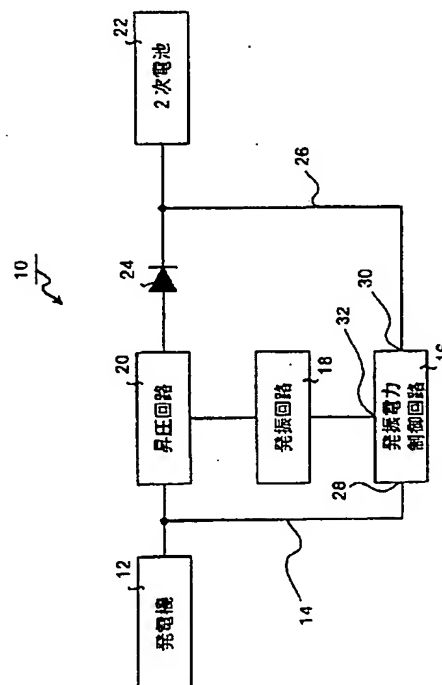
最終頁に続く

(54) 【発明の名称】 電子機器

(57) 【要約】

【課題】 電力を供給する給電装置をできるだけ小型化するとともに、高い充電効率で充電器を充電することを可能にすること。

【解決手段】 発電機12から供給される供給電力は、第1電力供給線14を介して発振電力制御回路16に供給される。また、2次電池22に蓄電された蓄電電力は、第2電力供給線26を介して発振電力制御回路16に供給される。発振電力制御回路16では、より高い電圧の電力を選択して発振回路18に供給して駆動させ、クロック信号を生成して昇圧回路20を駆動し、発電機12から供給される電力を昇圧して2次電池に充電する。



## 【特許請求の範囲】

【請求項1】 時間により電圧が変動する電力を供給する給電手段と、クロック信号を生成する発振回路と、前記発振回路のクロック信号により駆動され、前記給電手段から供給される電力を昇圧する昇圧回路と、前記昇圧回路で昇圧された電力を蓄電する蓄電手段と、前記蓄電手段と前記昇圧回路との間に設けられ、前記蓄電手段から前記昇圧回路に電流が逆流するのを防止する整流手段と、

前記給電手段から供給される供給電力と前記蓄電手段から供給される蓄電電力のうち、何れか一方の電力を選択して前記発振回路に供給する第1発振電力制御手段を備えることを特徴とする電子機器。

【請求項2】 前記第1発振電力制御手段は、前記給電手段から供給される電圧を検出する電圧検出手段と、前記蓄電手段から供給される電力を遮断するスイッチ手段とを備え、前記電圧検出手段で所定値以下の電圧が検出された場合は前記スイッチ手段で遮断することを特徴とする請求項1に記載の電子機器。

【請求項3】 前記第1発振電力制御手段は、前記蓄電手段から供給される電圧の変化を検出する電圧比較手段と、前記蓄電手段から供給される電力を遮断するスイッチ手段と、前記電圧比較手段と前記スイッチ手段との動作タイミングを制御するタイミング制御部とを備え、前記タイミング制御部で前記スイッチ手段をオンした時の蓄電電力の電圧とその蓄電電力により前記発振回路を動作させて得られた蓄電電力の電圧とを前記電圧比較手段で比較し、蓄電電力の電圧が増加しない場合は前記スイッチ手段で遮断することを特徴とする請求項1に記載の電子機器。

【請求項4】 時間により電圧が変動する電力を供給する給電手段と、クロック信号を生成する発振回路と、前記発振回路のクロック信号により駆動され、前記給電手段から供給される電力を昇圧する昇圧回路と、前記昇圧回路で昇圧された電力を蓄電する蓄電手段と、前記蓄電手段と前記昇圧回路との間に設けられ、前記蓄電手段から前記昇圧回路に電流が逆流するのを防止する整流手段とを有する電子機器であって、

前記給電手段から供給される供給電力と前記蓄電手段から供給される蓄電電力と前記昇圧回路から出力される昇圧電力とが入力され、前記供給電力又は前記蓄電電力が前記発振回路に供給可能であり、前記蓄電電力により前記発振回路を動作させても前記昇圧回路から昇圧電圧が発生しない場合は蓄電電力による前記発振回路の動作を停止する第2発振電力制御手段を備えていることを特徴とする電子機器。

【請求項5】 前記第2発振電力制御手段は、前記昇圧電力の電圧を検出する電圧検出手段と、前記蓄電手段から供給される蓄電電力を遮断するスイッチ手段と、前記

電圧検出手段と前記スイッチ手段との動作タイミングを制御するタイミング制御部とを備え、

前記タイミング制御部で前記スイッチ手段をオンして蓄電電力により前記発振回路を動作させて得られた前記昇圧回路から出力される昇圧電力の電圧を前記電圧検出手段で検出し、検出電圧が所定電圧値以上の場合には一定時間スイッチ手段をオンし、所定電圧値未満であれば一定時間スイッチ手段をオフすることを特徴とする請求項4に記載の電子機器。

【請求項6】 時間により電圧が変動する電力を供給する給電手段と、クロック信号を生成する発振回路と、前記発振回路のクロック信号により駆動され、前記給電手段から供給される電力を昇圧する昇圧回路と、前記昇圧回路で昇圧された電力を蓄電する蓄電手段と、前記蓄電手段と前記昇圧回路との間に設けられ、前記蓄電手段から前記昇圧回路に電流が逆流するのを防止する整流手段とを有する電子機器であって、

前記給電手段から供給される供給電力と前記蓄電手段から供給される蓄電電力と前記昇圧回路から出力される昇圧電力とが入力され、前記供給電力と前記蓄電電力と前記昇圧電力の内、何れか一つ電力を選択して前記発振回路に供給する第3発振電力制御手段を備えていることを特徴とする電子機器。

【請求項7】 前記第3発振電力制御手段は、前記蓄電手段から供給される蓄電電力を遮断するスイッチ手段と、前記供給電力の電圧を検出する電圧検出手段とを備え、

前記電圧検出手段が検出する前記給電手段からの供給電力の電圧が所定電圧値以下の場合には、前記スイッチ手段をオフして前記蓄電電力による前記発振回路の駆動を停止することを特徴とする請求項6に記載の電子機器。

【請求項8】 前記第3発振電力制御手段は、前記蓄電手段から供給される蓄電電力を遮断するスイッチ手段と、前記スイッチ手段を間欠的にオンさせる間欠駆動手段とを備え、

前記間欠駆動手段により前記スイッチ手段を駆動して前記蓄電電力を前記発振回路に間欠的に供給することを特徴とする請求項6に記載の電子機器。

【請求項9】 時間により電圧が変動する電力を供給する給電手段と、クロック信号で前記給電手段から供給される電力を昇圧する昇圧回路と、前記昇圧回路で昇圧された電力を蓄電する蓄電手段と、前記蓄電手段と前記昇圧回路との間に設けられ、前記蓄電手段から前記昇圧回路に電流が逆流するのを防止する整流手段とを有する電子機器であって、

前記給電手段から供給される供給電力によりクロック信号を生成する第1の発振回路と、前記蓄電手段から供給される蓄電電力によりクロック信号を生成する第2の発振回路と、

前記第1の発振回路から供給されるクロック信号を前記

昇圧回路に出力するか否かを切り換える第1スイッチ手段と、前記第2の発振回路から供給されるクロック信号を前記昇圧回路に出力するか否かを切り換える第2スイッチ手段とを有し、何れか一方の発振回路で生成されるクロック信号を選択して前記昇圧回路に供給するクロック信号制御回路と、  
を備えていることを特徴とする電子機器。

【請求項10】 前記クロック信号制御回路は、前記供給電力の電圧と前記蓄電電力の電圧とを比較する第1電圧比較手段をさらに備え、  
電圧の高い電力が供給される発振回路で生成されるクロック信号を選択して前記昇圧回路に供給することを特徴とする請求項9に記載の電子機器。

【請求項11】 前記クロック信号制御回路は、前記給電手段から供給される供給電力の電圧を検出する第1電圧検出手段をさらに備え、  
前記第1電圧検出手段で検出される電圧値が所定値未満の場合に前記第2スイッチを遮断することを特徴とする請求項9に記載の電子機器。

【請求項12】 前記クロック信号制御回路は、前記蓄電手段から供給される蓄電電力の電圧の増減を比較する第2電圧比較手段と、少なくとも前記第2電圧比較手段と前記第2スイッチ手段との動作タイミングを制御するタイミング制御部とをさらに備え、  
前記タイミング制御部により前記第2スイッチ手段をオンして蓄電電力を取り込み、その取り込んだ電圧と一定時間後の蓄電電力の電圧とを前記第2電圧比較手段と比較して、蓄電電力の電圧が増加した場合に前記第2スイッチ手段をオンし、蓄電電力の電圧が減少した場合に前記第2スイッチ手段をオフすることを特徴とする請求項9に記載の電子機器。

【請求項13】 時間により電圧が変動する電力を供給する給電手段と、クロック信号で前記給電手段から供給される電力を昇圧する昇圧回路と、前記昇圧回路で昇圧された電力を蓄電する蓄電手段と、前記蓄電手段と前記昇圧回路との間に設けられ、前記蓄電手段から前記昇圧回路に電流が逆流するのを防止する整流手段とを有する電子機器であって、

前記給電手段から供給される供給電力によりクロック信号を生成する第1の発振回路と、  
前記蓄電手段から供給される蓄電電力によりクロック信号を生成する第2の発振回路と、

前記第1の発振回路から供給されるクロック信号を前記昇圧回路に出力するか否かを切り換える第1スイッチ手段と、前記第2の発振回路から供給されるクロック信号を前記昇圧回路に出力するか否かを切り換える第2スイッチ手段と、前記昇圧回路から供給される昇圧電力の電圧を検出する第1電圧検出手段と、少なくとも前記第1電圧検出手段と前記第2スイッチ手段との動作タイミングを制御するタイミング制御部とを有するクロック信号

制御回路とを備え、

タイミング制御部で、第2スイッチ手段をオンしても、ある電圧以上の前記昇圧電力が得られない場合は、第2スイッチ手段をオフするクロック信号制御回路とを備えていることを特徴とする電子機器。

【請求項14】 前記クロック信号制御回路は、前記供給電力の電圧と前記蓄電電力の電圧とを比較する第2電圧比較手段をさらに備え、

前記供給電力と前記蓄電電力の内、高い電圧の電力によりクロック信号を発生する発振回路のクロック信号を前記昇圧回路に供給することを特徴とする請求項13に記載の電子機器。

【請求項15】 時間により電圧が変動する電力を供給する給電手段と、クロック信号で前記給電手段から供給される電力を昇圧する昇圧回路と、前記昇圧回路で昇圧された電力を蓄電する蓄電手段と、前記蓄電手段と前記昇圧回路との間に設けられ、前記蓄電手段から前記昇圧回路に電流が逆流するのを防止する整流手段とを有する電子機器であって、

前記給電手段から供給される供給電力と前記昇圧回路から供給される昇圧電力のうち、何れか一方の電力に切り換えて出力する発振電力制御回路と、  
前記発振電力制御回路から供給される電力によりクロック信号を生成する第1の発振回路と、  
前記蓄電手段から供給される蓄電電力によりクロック信号を生成する第2の発振回路と、

前記第1の発振回路から供給されるクロック信号を前記昇圧回路に出力するか否かを切り換える第1スイッチ手段と、前記第2の発振回路から供給されるクロック信号を前記昇圧回路に出力するか否かを切り換える第2スイッチ手段とを有し、何れか一方の発振回路で生成されるクロック信号を選択して前記昇圧回路に供給するクロック信号制御回路と、  
を備えていることを特徴とする電子機器。

【請求項16】 前記クロック信号制御回路は、前記昇圧電力の電圧と前記蓄電電力の電圧とを比較する電圧比較手段をさらに備え、

前記昇圧電力と前記蓄電電力の内、電圧の高い電力が供給される発振回路で生成されるクロック信号を選択して前記昇圧回路に供給することを特徴とする請求項15に記載の電子機器。

【請求項17】 前記クロック信号制御回路は、前記第2スイッチ手段をオンする際に第2スイッチ手段を間欠的に駆動する間欠駆動手段とをさらに備え、

前記第2スイッチ手段を間欠駆動して前記第2の発振回路で発生するクロック信号を前記昇圧回路に間欠的に供給することを特徴とする請求項15に記載の電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電子機器に係り、

さらに詳しくは、時間により電圧が変動する電力からクロック信号を生成して昇圧回路を駆動させ、供給電力を昇圧させる電子機器であって、例えば、熱電変換素子等から電力が供給される携帯電子機器などに関する。

【0002】

【従来の技術】従来の電子機器には、時間により電圧が変動する電力を供給する発電機や電源などの給電装置を有するものがあつた。このような電子機器では、電子機器の駆動回路の動作を継続的に行うようにするため、給電装置から供給される電力の電圧が時間的に変化しても電子機器の駆動回路の最低駆動電圧を下回らないように、給電装置の電力供給能力が設定されていた。

【0003】例えば、図24に示されるように、従来の電子機器50は、時間により電圧が変動する電力を供給する給電装置502と、クロック信号を出力する発振回路504と、そのクロック信号により駆動され給電装置502から供給される電力の昇圧を行う昇圧回路506と、昇圧回路506から出力された昇圧された電力を整流する整流素子508と、昇圧され整流された電力を蓄電する蓄電器510とを有していた。

【0004】すなわち、従来の電子機器500では、給電装置502から発振回路504および昇圧回路506に対して時間により電圧が変動する電力が供給される。発振回路504では、給電装置502から供給される電力の電圧が発振回路504の最低駆動電圧以上であれば駆動が開始され、所定のデューティ比を有するクロック信号が昇圧回路506に出力される。

【0005】昇圧回路506は、発振回路504から出力されるクロック信号によって駆動され、給電装置502から供給される電力を昇圧して出力する。その昇圧された電力は、ショットキーダイオードなどの整流素子508で整流され、蓄電器510に充電されて蓄えられる。蓄電器510に蓄電された電力は、図示しない電子機器駆動回路等に供給され、供給電圧が電子機器駆動回路の最低駆動電圧以上の場合に駆動していた。

【0006】このように、電子機器駆動回路を継続的に動作させるには、蓄電器510の電力が空にならず、かつ、蓄電器510から出力される電力が電子機器駆動回路の最低駆動電圧を下回らないように、蓄電器510に対して効率良く充電する必要があつた。

【0007】なお、上記の時間により電圧が変動する電力を供給する給電装置としては、消費電力の比較的小さい携帯電子機器などに用いられる熱電変換素子やソーラーパネルなどがある。例えば、熱電変換素子は、P型とN型の半導体を用いてPN接合を行い、温度差により起電力を生じさせて発電を行うため、温度差が時間とともに変化すると、それに応じて起電力（電圧）も変化する。

【0008】

【発明が解決しようとする課題】このような従来の電子

機器にあつては、給電装置502から供給される電圧が時間的に変化しても電子機器駆動回路の動作を継続させるため、電子機器駆動回路に供給される電圧が最低駆動電圧を下回らないように、常に蓄電器に対して効率良くかつ十分な充電を行う必要があつた。

【0009】しかし、図24に示した従来の電子機器500では、給電装置502から供給される電力で発振回路504を駆動し、発振回路からのクロック信号により昇圧回路506を駆動していたため、給電装置502からの供給電力の電圧が発振回路の最低駆動電圧を僅かでも下回ると発振回路504が停止し、それに伴って昇圧回路506が停止すると、蓄電器510に対する充電も停止してしまうことになる。

【0010】この場合、給電装置502は、発振回路504の最低駆動電圧を僅かに下回った電力を供給しているにもかかわらず充電が停止されてしまうため、充電時間が長くなり、充電効率も非常に悪くなるという不都合があつた。

【0011】そこで、給電装置502からの供給電力の電圧が時間的に変動しても、発振回路504の最低駆動電圧を下回らないような電力供給能力を給電装置502に設定すればよいが、そうすると給電装置502が大型化して、携帯電子機器等に使用できなくなるという不都合があつた。

【0012】本発明は、かかる従来技術の有する不都合に鑑みてなされたもので、電力を供給する給電装置をできるだけ小型化するとともに、高い充電効率で充電器を充電することのできる電子機器を提供することを目的としている。

【0013】

【課題を解決するための手段】上記の目的を達成するために、本願発明の電子機器は、時間により電圧が変動する電力を供給する給電手段と、クロック信号を生成する発振回路と、前記発振回路のクロック信号により駆動され、前記給電手段から供給される電力を昇圧する昇圧回路と、前記昇圧回路で昇圧された電力を蓄電する蓄電手段と、前記蓄電手段と前記昇圧回路との間に設けられ、前記蓄電手段から前記昇圧回路に電流が逆流するのを防止する整流手段とを有する電子機器であって、前記給電手段から供給される供給電力と前記蓄電手段から供給される蓄電電力のうち、何れか一方の電力を選択して前記発振回路に供給する第1発振電力制御手段を備えていることとする。

【0014】これによれば、前記供給電力の電圧が変動し前記発振回路の動作電圧を下回っても、前記蓄電電力で前記発振回路が駆動できるので、前記供給電力の電圧が変動しても、前記昇圧回路が動作し、前記供給電力を昇圧して蓄電する事が出来るため、安定した電力供給と効率の良い蓄電を行う事が出来る。

【0015】さらに、前記第1発振電力制御手段は、前

記給電手段から供給される電圧を検出する電圧検出手段と、前記蓄電手段から供給される電力を遮断するスイッチ手段とを備え、前記電圧検出手段で所定値以下の電圧が検出された場合は前記スイッチ手段で遮断することとする。

【0016】これによれば、供給電力が無いような場合には、蓄電電力が無駄に消費されるのを防止することにより、効率的な蓄電を行うことができる。

【0017】また、前記第1発振電力制御手段は、前記蓄電手段から供給される電圧の変化を検出する電圧比較手段と、前記蓄電手段から供給される電力を遮断するスイッチ手段と、前記電圧比較手段と前記スイッチ手段との動作タイミングを制御するタイミング制御部とを備え、前記タイミング制御部で前記スイッチ手段をオンした時の蓄電電力の電圧とその蓄電電力により前記発振回路を動作させて得られた蓄電電力の電圧とを前記電圧比較手段と比較し、蓄電電力の電圧が増加しない場合は前記スイッチ手段で遮断することとする。

【0018】これによれば、蓄電電圧が低下するような場合には、蓄電電力が無駄に消費されるのを防止することにより、効率的な蓄電を行うことができる。

【0019】あるいは、本発明による電子機器は、時間により電圧が変動する電力を供給する給電手段と、クロック信号を生成する発振回路と、前記発振回路のクロック信号により駆動され、前記給電手段から供給される電力を昇圧する昇圧回路と、前記昇圧回路で昇圧された電力を蓄電する蓄電手段と、前記蓄電手段と前記昇圧回路との間に設けられ、前記蓄電手段から前記昇圧回路に電流が逆流するのを防止する整流手段とを有する電子機器であって、前記給電手段から供給される供給電力と前記蓄電手段から供給される蓄電電力と前記昇圧回路から出力される昇圧電力とが入力され、前記供給電力又は前記蓄電電力が前記発振回路に供給可能であり、前記蓄電電力により前記発振回路を動作させても前記昇圧回路から昇圧電圧が発生しない場合は蓄電電力による前記発振回路の動作を停止する第2発振電力制御手段を備えることとする。

【0020】これによれば、昇圧回路から昇圧電力が発生しないような場合には、蓄電電力が無駄に消費されるのを防止することにより、効率的な蓄電を行うことができる。

【0021】さらに、前記第2発振電力制御手段は、前記昇圧電力の電圧を検出する電圧検出手段と、前記蓄電手段から供給される蓄電電力を遮断するスイッチ手段と、前記電圧検出手段と前記スイッチ手段との動作タイミングを制御するタイミング制御部とを備え、前記タイミング制御部で前記スイッチ手段をオンして蓄電電力により前記発振回路を動作させて得られた前記昇圧回路から出力される昇圧電力の電圧を前記電圧検出手段で検出し、検出電圧が所定電圧値以上の場合は一定時間スイッ

チ手段をオンし、所定電圧値未満であれば一定時間スイッチ手段をオフすることとする。

【0022】これによれば、昇圧回路からの昇圧電力の電圧を電圧検出手段で検出し、所定電圧値未満の昇圧電力しか得られないような場合には、蓄電電力が無駄に消費されないようにスイッチ手段をオフすることにより、効率的な蓄電を行うことができる。

【0023】あるいは、本発明の電子機器は、時間により電圧が変動する電力を供給する給電手段と、クロック信号を生成する発振回路と、前記発振回路のクロック信号により駆動され、前記給電手段から供給される電力を昇圧する昇圧回路と、前記昇圧回路で昇圧された電力を蓄電する蓄電手段と、前記蓄電手段と前記昇圧回路との間に設けられ、前記蓄電手段から前記昇圧回路に電流が逆流するのを防止する整流手段とを有する電子機器であって、前記給電手段から供給される供給電力と前記蓄電手段から供給される蓄電電力と前記昇圧回路から出力される昇圧電力とが入力され、前記供給電力と前記蓄電電力と前記昇圧の内、何れか一つ電力を選択して前記発振回路に供給する第3発振電力制御手段を備えることとする。

【0024】これによれば、供給電力と蓄電電力と昇圧電力のうち最も高い電圧を持った電力を選択して発振回路に供給して昇圧回路を駆動するため、安定した電力供給と効率の良い蓄電を行うことができる。

【0025】さらに、前記第3発振電力制御手段は、前記蓄電手段から供給される蓄電電力を遮断するスイッチ手段と、前記供給電力の電圧を検出する電圧検出手段とを備え、前記電圧検出手段が検出する前記給電手段からの供給電力の電圧が所定電圧値以下の場合は、前記スイッチ手段をオフして前記蓄電電力による前記発振回路の駆動を停止することとする。

【0026】これによれば、供給電力が無いような場合には、蓄電電力が無駄に消費されるのを防止することにより、効率的な蓄電を行うことができる。

【0027】または、前記第3発振電力制御手段が、前記蓄電手段から供給される蓄電電力を遮断するスイッチ手段と、前記スイッチ手段を間欠的にオンさせる間欠駆動手段とを備え、前記間欠駆動手段により前記スイッチ手段を駆動して前記蓄電電力を前記発振回路に間欠的に供給することとする。

【0028】これによれば、蓄電電力を発振回路に供給する際に、間欠的に電力供給することにより、蓄電電力が無駄に消費されるのが防止され、効率的に蓄電することができる。

【0029】あるいは、本願発明の電子機器は、時間により電圧が変動する電力を供給する給電手段と、クロック信号で前記給電手段から供給される電力を昇圧する昇圧回路と、前記昇圧回路で昇圧された電力を蓄電する蓄電手段と、前記蓄電手段と前記昇圧回路との間に設けら



れ、前記蓄電手段から前記昇圧回路に電流が逆流するのを防止する整流手段とを有する電子機器であって、前記給電手段から供給される供給電力によりクロック信号を生成する第 1 の発振回路と、前記蓄電手段から供給される蓄電電力によりクロック信号を生成する第 2 の発振回路と、前記第 1 の発振回路から供給されるクロック信号を前記昇圧回路に出力するか否かを切り換える第 1 スイッチ手段と、前記第 2 の発振回路から供給されるクロック信号を前記昇圧回路に出力するか否かを切り換える第 2 スイッチ手段とを有し、何れか一方の発振回路で生成されるクロック信号を選択して前記昇圧回路に供給するクロック信号制御回路と、を備えることとする。

【0030】これによれば、前記供給電力の電圧が低下し、前記第 1 の発振回路が停止しても、前記第 2 の発振回路で、前記昇圧回路が動作できるので、前記供給電力を昇圧して、蓄電できるので、安定した電力供給と効率の良い蓄電が行える。さらに、前記蓄電電力で動作する負荷回路に第 2 の発振回路が昇圧以外の目的で内蔵されている場合、前記負荷回路の第 2 の発振回路が動作した後は、該発振回路のクロック信号で昇圧回路を駆動し、前記第 1 の発振回路を停止する事により、前記第 1 の発振回路を動作させる電力を無駄に消費するのを防止するため、効率の良い蓄電が行える。

【0031】また、前記クロック信号制御回路は、前記供給電力の電圧と前記蓄電電力の電圧とを比較する第 1 電圧比較手段をさらに備え、電圧の高い電力が供給される発振回路で生成されるクロック信号を選択して昇圧回路に供給することとする。

【0032】これによれば、供給電力と昇圧電力との電圧を比較して、高い電圧で生成されたクロック信号を用いて昇圧回路を駆動することにより、効率良く昇圧することが可能となり、安定した電力供給と効率的な蓄電とを行うことができる。

【0033】または、前記クロック信号制御回路が、前記給電手段から供給される供給電力の電圧を検出する第 1 電圧検出手段をさらに備え、前記第 1 電圧検出手段で検出される電圧値が所定値未満の場合に前記第 2 スイッチを遮断することとする。

【0034】これによれば、供給電力が無いような場合には、蓄電電力を用いた第 2 のクロック信号で発振回路を駆動する無駄を防止することにより、効率的に蓄電を行うことができる。

【0035】また、前記クロック信号制御回路は、前記蓄電手段から供給される蓄電電力の電圧の増減を比較する第 2 電圧比較手段と、少なくとも前記第 2 電圧比較手段と前記第 2 スイッチ手段との動作タイミングを制御するタイミング制御部とをさらに備え、前記タイミング制御部により前記第 2 スイッチ手段をオンして蓄電電力を取り込み、その取り込んだ電圧と一定時間後の蓄電電力の電圧とを前記第 2 電圧比較手段で比較して、蓄電電力

の電圧が増加した場合に前記第 2 スイッチ手段をオンし、蓄電電力の電圧が減少した場合に前記第 2 スイッチ手段をオフすることとする。

【0036】これによれば、蓄電電力の電圧が減少傾向にある場合に、蓄電電力を用いた第 2 のクロック信号で発振回路を駆動する無駄を防止することにより、効率的に蓄電を行うことができる。

【0037】あるいは、本願発明の電子機器は、時間により電圧が変動する電力を供給する給電手段と、クロック信号で前記給電手段から供給される電力を昇圧する昇圧回路と、前記昇圧回路で昇圧された電力を蓄電する蓄電手段と、前記蓄電手段と前記昇圧回路との間に設けられ、前記蓄電手段から前記昇圧回路に電流が逆流するのを防止する整流手段とを有する電子機器であって、前記給電手段から供給される供給電力によりクロック信号を生成する第 1 の発振回路と、前記蓄電手段から供給される蓄電電力によりクロック信号を生成する第 2 の発振回路と、前記第 1 の発振回路から供給されるクロック信号を前記昇圧回路に出力するか否かを切り換える第 1 スイッチ手段と、前記第 2 の発振回路から供給されるクロック信号を前記昇圧回路に出力するか否かを切り換える第 2 スイッチ手段と、前記昇圧回路から供給される昇圧電力の電圧を検出する第 1 電圧検出手段と、少なくとも前記第 1 電圧検出手段と前記第 2 スイッチ手段との動作タイミングを制御するタイミング制御部とを有するクロック信号制御回路とを備え、タイミング制御部で、第 2 スイッチ手段をオンしても、ある電圧以上の前記昇圧電力が得られない場合は、第 2 スイッチ手段をオフするクロック信号制御回路とを備えていることとする。

【0038】これによれば、第 2 の発振回路で生成されるクロック信号を用いて昇圧回路を駆動させても昇圧電力が発生しない場合は、蓄電電力を用いた第 2 のクロック信号で発振回路を駆動する無駄を防止することにより、効率的に蓄電を行うことができる。

【0039】さらに、前記クロック信号制御回路は、前記供給電力の電圧と前記蓄電電力の電圧とを比較する第 2 電圧比較手段をさらに備え、前記供給電力と前記蓄電電力の内、高い電圧の電力によりクロック信号を発生する発振回路のクロック信号を前記昇圧回路に供給することとする。

【0040】これによれば、供給電力と蓄電電力のうち、高い電力で生成されたクロック信号を用いて昇圧回路で昇圧することができるため、昇圧効率が向上し、効率的に蓄電することができるとともに、安定した電力供給を行うことができる。

【0041】あるいは、本願発明の電子機器は、時間により電圧が変動する電力を供給する給電手段と、クロック信号で前記給電手段から供給される電力を昇圧する昇圧回路と、前記昇圧回路で昇圧された電力を蓄電する蓄電手段と、前記蓄電手段と前記昇圧回路との間に設けら



れ、前記蓄電手段から前記昇圧回路に電流が逆流するのを防止する整流手段とを有する電子機器であって、前記給電手段から供給される供給電力と前記昇圧回路から供給される昇圧電力のうち、何れか一方の電力に切り換えて出力する発振電力制御回路と、前記発振電力制御回路から供給される電力によりクロック信号を生成する第1の発振回路と、前記蓄電手段から供給される蓄電電力によりクロック信号を生成する第2の発振回路と、前記第1の発振回路から供給されるクロック信号を前記昇圧回路に出力するか否かを切り換える第1スイッチ手段と、前記第2の発振回路から供給されるクロック信号を前記昇圧回路に出力するか否かを切り換える第2スイッチ手段とを有し、何れか一方の発振回路で生成されるクロック信号を選択して前記昇圧回路に供給するクロック信号制御回路と、を備えることとする。

【0042】これによれば、供給電力と昇圧電力と蓄電電力のうち、最も高い電力で生成されたクロック信号を用いて昇圧回路で昇圧することができるため、昇圧効率が向上し、効率的に蓄電することができるとともに、安定した電力供給を行うことができる。

【0043】さらに、前記クロック信号制御回路は、前記昇圧電力の電圧と前記蓄電電力の電圧とを比較する電圧比較手段をさらに備え、前記昇圧電力と前記蓄電電力の内、電圧の高い電力が供給される発振回路で生成されるクロック信号を選択して前記昇圧回路に供給することとする。

【0044】これによれば、供給電力と蓄電電力との電圧を比較して、高い電圧の方の電力で駆動する発振回路の発生するクロック信号で昇圧回路を駆動する事により、効率良く昇圧する事が可能となり、安定した電力供給と効率的な蓄電とを行う事が出来る。さらに、前記クロック信号制御回路は、前記第2スイッチ手段をオンする際に第2スイッチ手段を間欠的に駆動する間欠駆動手段とをさらに備え、前記第2スイッチ手段を間欠駆動して前記第2の発振回路で発生するクロック信号を前記昇圧回路に間欠的に供給することとする。

【0045】これによれば、第2スイッチ手段をオンして蓄電電力を用いて生成されるクロック信号を昇圧回路に供給する際に、クロック信号を間欠的に供給することによりクロック信号が無駄に消費されるのを防止することにより、効率良く蓄電することができる。

【0046】

【発明の実施の形態】以下、本発明に係る電子機器の実施の形態を図面に基づいて詳細に説明する。本実施の形態の電子機器は、携帯電子機器である腕時計のムーブメント等の電子機器駆動回路を駆動するための電力を、熱電変換素子を用いた給電装置から供給して駆動するようにしたものである。

【0047】（実施の形態1）図1には、本実施の形態に係る電子機器10の概略構成を示すブロック図が示さ

れている。

【0048】図1において、電子機器10は、給電手段としての発電機12、第1電力供給線14、発振電力制御回路16、発振回路18、昇圧回路20、整流手段としてのショットキーダイオード22、蓄電手段としての2次電池22、第2電力供給線26などにより構成されている。

【0049】ここでは、発電機12として熱電変換素子を用いている。熱電変換素子は、例えば、P型熱電材料エレメントとN型熱電材料エレメントとが2枚の基板に挟まれ、基板上でP型熱電材料エレメントとN型熱電材料エレメントが金属等の導電性物質を介してPN接合されていて、複数個直列に、P、N、P、N、というように接続されている。

【0050】この熱電変換素子は、PN接合部とPN接合部の間に温度差を与えると、温度差に応じた電位差（起電力）を生じるとともに、PN接合を増やすことにより高い発生電圧を得ることができる。そこで、上記2枚の基板間に温度差が与えられた場合の起電圧の時間変化は、熱電変換素子の基板間に温度差が与えられた直後は、急激に電圧が上昇するが、あるピークを過ぎると電圧が下がっていつて、ある値で飽和する。

【0051】これは、基板間に温度差が与えられた直後は、与えられた温度差が熱電変換素子にかかるため、大きな電圧を発生させることができるが、時間が経過するにつれて2つの基板間の温度差がP、N型熱電材料エレメントを通して熱伝導により温度差が小さくなって、発生する電圧が小さくなるからである。そのため、熱変換素子の出力電圧が飽和した状態でも常に必要な電圧値よりも大きな電圧が得られるように、熱電材料エレメントを直列に接続する必要がある、さらに、熱変換素子は周囲の温度に影響され易いため、より多くの熱電材料エレメントを直列に接続する必要があった。

【0052】給電装置12から出力される供給電力は、第1電力供給線14を介して供給され、後述する発振電力制御回路16で切り換えられて、発振回路18に供給されていた。また、発電機12から昇圧回路20に対しても電力が供給されていた。なお、発電機12は上記熱電変換素子に限るものではなく、ソーラーパネル（太陽電池板）やそれ以外のものであっても良い。

【0053】発振電力制御回路16は、発振回路18の電源として発電機12から第1電力供給線14を介して供給される供給電力や、2次電池22から第2電力供給線26を介して供給される蓄電電力の何れか一方に切り換えて供給する制御を行うものである。

【0054】発振回路18は、発振電力制御回路16から供給される電力に基づいて後述する昇圧回路20を駆動するためのクロック信号を生成するものである。この発振回路18には、これを駆動するのに必要な最低駆動電圧があつて、これ以上の電圧が供給されないと発振回

路18は駆動を開始せず、駆動中に供給電圧が最低駆動電圧を下回ると駆動を停止する。

【0055】また、発振回路18で生成されるクロック信号の振幅の大きさは、発振回路18に供給される電力の電圧が高くなるのに伴って大きくなり、クロック信号の振幅を大きくして後述する昇圧回路20に供給すると、昇圧効率を向上させる効果がある。

【0056】昇圧回路20は、上記発振回路18から供給されるクロック信号により駆動され、発電機12から供給される電力の電圧を昇圧するものである。発振回路18から供給されるクロック信号の振幅が大きくなると、昇圧効率が向上するため、給電装置12から供給される電力をより大きく昇圧させることができる。

【0057】2次電池22は、昇圧回路20で昇圧された電力を充電して蓄電しておくものである。この2次電池22に蓄電された電力は、負荷となる不図示の電子機器駆動回路（ここでは、腕時計のムーブメント等）に供給することにより、駆動させることができる。

【0058】ショットキーダイオード24は、2次電池22と昇圧回路20との間に設けられていて、2次電池22から昇圧回路20側へ電流が逆流して、電力ロスが生じるのを防止するものである。

【0059】第2電力供給線26は、2次電池22に蓄電されている蓄電電力を上記した発振電力制御回路16に供給するものである。

【0060】図2には、図1の発振電力制御回路16の回路構成例が示されており、発振電力制御回路16の3つの端子は、それぞれ発電機12から供給電力が入力される第1入力端子28、2次電池22から蓄電電力が入力される第2入力端子30、発振回路18に電力を供給する出力端子32である。図2の発振電力制御回路16は、第1入力端子28と第2入力端子30から出力端子32に接続される途中に、ショットキーダイオード34、36が向かい合わせに配置されて構成されている。

【0061】このため、発電機12と2次電池22からそれぞれ供給される電力のうち、電圧の高い方の電力のみがショットキーダイオード（34又は36）を介して出力端子32側へ出力されるため、発電機12から供給される電力が発振回路18の最低駆動電圧を下回る供給電力であっても、昇圧回路20で昇圧させることが可能となり、2次電池22に効率良く充電を行って、蓄電することができる。

【0062】このように、図2の発振電力制御回路16は、最初は発電機12から供給される電力で発振回路18を起動し、昇圧回路20で昇圧電圧を発生させ、その昇圧電圧を2次電池22に蓄電すると、今度はその蓄電電力を利用して発振回路18を駆動することができる。

【0063】図3には、図1で示した発振電力制御回路16の他の回路構成例が示されている。図3の構成例の特徴は、発電機12から電力が供給されていないとき

（起動させる必要の無いとき）まで、蓄電電力を使って発振回路18が駆動されるのを防止する機能を追加した点にある。

【0064】すなわち、基準電圧回路38から出力される所定の基準電圧（検知電圧）と発電機12から供給される電圧とをコンパレータ40で比較し、供給電力の電圧が検知電圧を下回るとプラスの電圧が出力され、PMOSトランジスタ42をオフして、蓄電電力が供給されないようにする。

10 【0065】このため、貴重な蓄電電力が無駄に消費されることがなくなり、さらに効率的な蓄電を行うことができる。

【0066】また、図7には、図1で示した発振電力制御回路16の他の回路構成例が示され、図8には、図7のタイマー回路56から出力される3種類の信号のタイミングチャートが示されている。

【0067】この図7の発振電力制御回路16の特徴は、蓄電電力で発振回路を動作させても蓄電電力が増加しない場合は、蓄電電力を用いて発振回路を動作させるのを停止する機能を追加したものである。

20 【0068】すなわち、PMOSトランジスタ60のゲートにタイマー回路56の信号Aが印加され、信号Aの立ち下がりによってPMOSトランジスタ60がオンすると、コンデンサ62に蓄電電力が取り込まれる。

【0069】その後、信号Bの立ち上がりを検知し、その前の信号Aの立ち下がり時にコンデンサ62に取り込まれた蓄電電力の電圧と、その時点での蓄電電力の電圧をコンパレータ52で比較し、信号Bの信号立ち上がり時における電圧の方が高い場合には、コンパレータ52の出力がD型フリップフロップ54のD端子に入力され、Q端子の出力と信号Bとが入力されたNOR回路58の出力がPMOSトランジスタ42のゲートに印加されて、つぎの信号Aの立ち下がりまでPMOSトランジスタ42オンし続ける。逆に、信号Bの信号立ち上がり時における電圧の方が低い場合には、PMOSトランジスタ42をつぎの信号Aの立ち下がりまでオフし続けるという動作が繰り返される。

【0070】このため、2次電池22から供給される蓄電電圧が低下するような場合は、効率の良い蓄電が行われていない状況であるので、蓄電電力を使って発振回路を駆動するのは無駄となるので、PMOSトランジスタ42をオフして蓄電電力の消費を防止して、効率良く蓄電するようにする。

【0071】（実施の形態2）また、図4に示される電子機器50の特徴は、図1に示される電子機器10の構成にさらに昇圧電力が入力される第3電力供給線46を具備し、蓄電電力により発振回路18を動作させても昇圧電力が発生しない場合は、蓄電電力で発振回路18を動作させるのを中止する機能を追加した発振電力制御回路44を備えている点にある。

【0072】図5には、図4の発振電力制御回路44の具体的な回路構成例が示され、図6には、図5のタイマー回路56から出力される2種類の信号のタイミングチャートが示されている。

【0073】図5において、所定の基準電圧を発生させる基準電圧回路50、昇圧回路20から出力される昇圧電力の電圧と基準電圧とを比較するコンパレータ52、D型フリップフロップ回路54、およびNOR回路58から成る電圧検出手段により昇圧電力の電圧検出する。

【0074】タイマー回路56からは、信号AとBとが出力され、NOR回路58に入力される信号Aの電圧の立ち上がりを検知すると、PMOSトランジスタ42をオンし、その後信号Bの立ち上がりを検知して、昇圧電力の電圧を検出する。昇圧電力の電圧が基準電圧値以上ある場合は、PMOSトランジスタ42をつぎの信号Aの立ち上がりまでオンし続け、基準電圧値未満である場合は、PMOSトランジスタ42をつぎの信号Aの立ち上がりまでオフし続ける動作が繰り返される。

【0075】このため、昇圧回路から供給される昇圧電力の電圧が基準電圧値未満の昇圧電力しか得られないような場合には、蓄電電力が無駄に消費されることのないように、PMOSトランジスタ42をオフすることにより、2次電池22を効率的に蓄電することができる。

【0076】(実施の形態3) つぎに、本実施の形態3に係る電子機器70の概略構成について説明する。図9に示す電子機器70の特徴は、図1で示した電子機器10の発振電力制御回路16の代わりに、発電機12から供給される供給電力と、昇圧回路20から出力される昇圧電力と、2次電池から供給される蓄電電力の中の何れかの電力で、発振回路18を駆動するに切り換えることができるようにした発振電力制御回路72を設けた点である。

【0077】図4の電子機器50における発振電力制御回路44と比較すると、発振電力制御回路44が昇圧電力の電圧値を検出しているが、発振電力制御回路72のように昇圧電力そのものを取り込むことができない点が異なっている。

【0078】図9の発振電力制御回路72の回路構成例を示したのが図10である。図10に示されるように、第1入力端子28、第2入力端子30が出力端子32に接続されるまでの間にショットキーダイオード74、76が出力端子方向に向かって配置され、さらに、出力端子32と直接接続された第3入力端子48で構成されている。

【0079】このように構成された電子機器70では、まず、発電機12から供給される電力を用いて発振回路18を起動させて、昇圧回路20において昇圧電力を発生させると、前記供給電力よりも昇圧電力の方が電圧が高くなるため、発振電力制御回路72で昇圧電力に切り換わり、昇圧電力により発振回路18が駆動される。

【0080】そして、昇圧回路20で昇圧された昇圧電力が2次電池22に充電されて蓄電された後は、例えば、一旦供給電力が途絶えて、昇圧電力も途絶えた後、発振回路の最低駆動電圧以下の電圧供給能力しか得られない場合が生じたとしても、蓄電電力を取り込んで発振回路18を駆動することにより、再び昇圧電力が得られるようになり、その昇圧電力によって発振回路18を駆動することができる。

【0081】このため、発電機12が発振回路の最低駆動電圧以下の供給能力しかない場合であっても、昇圧させることができるため、効率的な充電を行うことができる。

【0082】また、蓄電電力よりも電圧の高い昇圧電力を用いて発振回路を駆動することができるため、クロック信号の波高値(いわゆる、クロック信号の振幅の大きさ)を高くすることができ、その結果、昇圧能力が向上して、効率的に充電を行うことができる。

【0083】つぎに、図11に示す発振電力制御回路72は、他の回路構成例を示したものである。図11に示される発振電力制御回路72の特徴は、発電機12から電力が供給されていないとき(起動させる必要の無いとき)まで、蓄電電力を使って発振回路18を駆動しないようにする機能を追加した点にある。

【0084】すなわち、基準電圧回路78から出力される所定の基準電圧と、発電機12から供給される電圧とをコンパレータ80で比較し、供給電力の電圧が基準電圧を下回るとプラスの電圧が出力され、PMOSトランジスタ82をオフして、蓄電電力を供給しないようにする。

【0085】このため、供給電力が無いような場合には、蓄電電力が無駄に消費されるのを防止することにより、効率的に蓄電を行うことができる。

【0086】つぎに、図12に示される発振電力制御回路72は、さらに別の回路構成例を示したものである。図12に示される発振電力制御回路72の特徴は、2次電池22に蓄電された蓄電電力を発振回路18の起動時に利用する際に、蓄電電力を間欠的に取り込むようにする機能を追加した点にある。

【0087】これを図12で見ると、第2入力端子30からショットキーダイオード76に至る途中に、PMOSトランジスタ82が配置され、そのPMOSトランジスタ82のゲート電極に対して、所定の間欠パルス信号を発生させる間欠パルス発生回路84を接続したものである。これにより、ゲート電圧が「L(ロー)」の場合は、オンとなり、「H(ハイ)」の場合は、オフとなるため、取り込まれる蓄電電力を間欠的に取り込むことができる。

【0088】このように構成したのは、発振回路18に供給される電力が間欠的に供給されても起動開始時に最低駆動電圧以上の電力が供給されていれば適正に駆動を

開始することができるだけでなく、間欠にすることによって蓄電電力を無駄に消費しなくなり、低消費電力化することができる。従って、効率的な蓄電を行うことができる。

【0089】（実施の形態4）本実施の形態4に係る電子機器90は、発電機12から供給される電力により第1の発振回路92を駆動してクロック信号を生成する。また、2次電池22からの蓄電電力により第2の発振回路94を駆動してクロック信号が生成される。昇圧回路20を動作させるためのクロック信号を供給するクロック制御回路96は、供給電力や蓄電電力の電圧に基づいて、上記した第1の発振回路92又は第2の発振回路94から入力されるクロック信号を選択し、昇圧回路20に出力するようにし、さらに、第2の発振回路94から入力されるクロック信号を選択した場合は、第1の発振回路92を停止するように構成したものである。

【0090】図13のクロック信号制御回路96の回路構成例を示したのが図14である。図14に示されるように、クロック信号制御回路96は、スイッチングを行う第1、第2、第3のNAND回路110、112、114により、第1の発振回路92から供給されるクロック信号（入力端子98）と、第2の発振回路94から供給されるクロック信号（入力端子106）とを選択して、昇圧回路20へ出力する（出力端子102）切り換えスイッチが構成されている。

【0091】また、入力される供給電力（入力端子100）と、入力される蓄電電力（入力端子104）との電圧比較を行うコンパレータ回路116とインバータ回路118により第1電圧比較手段が構成されており、供給電力と蓄電電力の電圧の大小関係によってクロック信号が選択されるように構成されている。

【0092】すなわち、コンパレータ回路116およびインバータ回路118は、供給電力と蓄電電力の電圧を比較して、蓄電電力の電圧の方が低い場合は、NAND回路110をオンし、NAND回路114をオフさせる。また、蓄電電力の電圧の方が高くなった場合は、オン/オフが逆となり、オンしたNAND回路に入力されるクロック信号が昇圧回路20に供給される。さらに、コンパレータ回路116の出力は、出力端子108から、第1の発振回路を停止させる信号として出力する。

【0093】このように構成したため、供給電力と昇圧電力との電圧を比較して、高い電圧で生成されたクロック信号を用いて昇圧回路を駆動することにより、効率の良い昇圧が可能となり、安定した電力を供給するとともに、効率的に蓄電することができる。また、発電機12の供給電力の電圧が、第1の発振回路92の動作電圧未満しかない場合でも、第2の発振回路のクロック信号で、昇圧回路20を駆動できるので、前記した場合でも蓄電が可能となる。さらに、蓄電電力で、腕時計等の内部に発振回路を内蔵した負荷回路を駆動する場合、上記

発振回路が、第2の発振回路94となるので、該発振回路のクロック信号を利用して昇圧回路20を駆動し、第1の発振回路92を停止する事により、2個の発振回路を同時に動作させるといった無駄な電力を消費するのを防止できるので、効率の良い蓄電が可能となる。

【0094】また、図15には、図13で示したクロック信号制御回路96の他の回路構成例が示されている。この図15のクロック信号制御回路96の特徴は、クロック信号制御回路96に対して供給電力がない場合に、第2の発振回路94から入力されるクロック信号を用いて昇圧回路20を駆動するのを中止する機能を追加したものである。

【0095】すなわち、図15に示されるように、クロック信号制御回路96には、上記した図14のクロック信号制御回路に対して、所定の基準電圧を出力する基準電圧回路120と、その基準電圧と入力される供給電力との電圧を比較するコンパレータ回路122から成る第1電圧検出手段を加わえたものであり、供給電力の電圧が基準電圧を下回ると、コンパレータ122により電圧が比較されて、NAND回路114を強制的にオフすることにより、第2の発振回路94から入力されるクロック信号をカットして、昇圧回路20の駆動に使用できないようにするものである。

【0096】このように構成したのは、供給電力がなくなつて昇圧電力が得られない状況下では、昇圧回路20を第2の発振回路94のクロック信号を用いて駆動すると蓄電電力を無駄に消費することになるため、第2の発振回路94のクロック信号が入力されるのを強制的に中止することで、効率の良い蓄電を行うことができるようにしたものである。

【0097】また、図19には、図13のクロック信号制御回路のさらに別の回路構成例が示され、図20には、図19のタイマー回路56から出力される3種類の信号のタイミングチャートが示されている。

【0098】この図19のクロック信号制御回路の特徴は、蓄電電力を用いた第2のクロック信号で昇圧回路を駆動しても、蓄電電力の電圧が減少傾向にある場合、蓄電電力を用いた第2のクロック信号の昇圧回路への供給をストップし、蓄電電力を用いた第2のクロック信号で昇圧回路を駆動し続ける無駄を防止するようにしたものである。

【0099】図19に示されるクロック信号制御回路の構成は、上記した図14のクロック信号制御回路に対して、PMOSトランジスタ136、コンデンサ138、コンパレータ回路128、D型フリップフロップ回路132およびNAND回路134により蓄電電力の電圧の増減を検出する第2電圧検出手段と、前記第2電圧比較手段およびNAND回路114の動作タイミングを制御するタイミング制御部としてのタイマー回路130とをさらに加えたものである。

【0100】すなわち、図19に示されるように、PMOSトランジスタ136のゲートにタイマー回路130の信号Aが印加され、信号Aの立ち下がりでPMOSトランジスタ136がオンすると、コンデンサ138に蓄電電力が取り込まれる。

【0101】その後、信号Bの立ち下がりを検知し、その前の信号Aの立ち下がり時にコンデンサ138に取り込まれた蓄電電力の電圧と、その時点での蓄電電力の電圧をコンパレータ128で比較し、信号Bの信号立ち下がり時の電圧の方が高い場合には、コンパレータ128の出力がD型フリップフロップ132のD端子に入力され、Q端子の出力と信号Bとが入力されたNAND回路134の出力がNAND回路114に入力されて、次の信号Aの立ち下がりまでNAND回路114をオンし続ける。逆に、信号Bの信号立ち下がり時の電圧の方が低い場合には、NAND回路114を次の信号Aの立ち下がりまでオフし続けるという動作が繰り返される。

【0102】このため、2次電池22から供給される蓄電電圧が低下するような場合は、効率の良い蓄電が行われていない状況であるので、蓄電電力を用いて生成されたクロック信号を使った昇圧回路の駆動が強制的に中止されるように、NAND回路114をオフして第2の発振回路94からのクロック信号の入力を遮断することにより、蓄電電力の無駄な消費を防止して、効率的な蓄電を行うことができる。

【0103】（実施の形態5）図16に示される本実施の形態5に係る電子機器は、上述した図13の電子機器90とほぼ同じ構成であるが、異なる点は、クロック信号制御回路124に入力端子113が新たに設けられ、昇圧回路20から出力された昇圧電力を入力端子113から入力して、直接昇圧電力の電圧が検出できるようにした点である。

【0104】すなわち、この図16のクロック信号制御回路124の特徴は、第2の発振回路94から供給されるクロック信号を用いて昇圧回路20を動作させても昇圧電力が発生しない場合は、第2の発振回路94からのクロック信号を用いた昇圧回路20の駆動を中止する機能を追加したものである。

【0105】図17は、図16のクロック信号制御回路124の回路構成例を示した図であり、図18は、図17のタイマー回路130が出力する2種類の信号波形図である。図17に示されるように、クロック信号制御回路124は、スイッチングを行う第1、第2、第3のNAND回路110、112、114により、第1の発振回路92から供給されるクロック信号（入力端子98）と、第2の発振回路94から供給されるクロック信号（入力端子106）とを選択して、昇圧回路20へ出力する（出力端子102）切り換えスイッチが構成されている。

【0106】また、入力される供給電力（入力端子10

0）と、入力される蓄電電力（入力端子104）との電圧比較を行うコンパレータ回路116とインバータ回路118により第1電圧比較手段が構成されており、供給電力と蓄電電力の電圧の大小関係によってクロック信号が選択されるように構成されている。

【0107】すなわち、コンパレータ回路116およびインバータ回路118は、供給電力の電圧と蓄電電力の電圧とを比較して、蓄電電力の電圧の方が低い場合は、NAND回路110をオンし、NAND回路114をオフさせる。また、蓄電電力の電圧の方が高くなった場合は、オン/オフが逆となり、オンしたNAND回路に入力されるクロック信号が昇圧回路20に供給される。さらに、コンパレータ回路116の出力は、出力端子108から、第1の発振回路を停止させる信号として出力する。

【0108】また、クロック信号制御回路124は、基準電圧を発生する基準電圧回路126、昇圧回路20から出力され入力される（入力端子113）昇圧電力とを比較するコンパレータ回路128、D型フリップフロップ回路132およびNAND回路134などから構成され、昇圧電圧を検出する第2電圧検出手段と、その第2電圧検出手段の検出タイミングを制御するタイミング制御部としてのタイマー回路130とを具備している。

【0109】このように、上記した第2電圧検出手段は、タイマー回路130から出力される信号Aの立ち下がりを検知し、上記した第1電圧比較手段により供給電力よりも蓄電電力の方が電圧が高い場合にのみNAND回路114をオンして、第2の発振回路94から供給されるクロック信号で昇圧回路20を駆動する。

【0110】その後、タイマー回路130から出力される信号Bの立ち上りを検知して入力端子113から入力される昇圧電力の電圧を検出し、その昇圧電圧が基準電圧回路126からの基準電圧以上で、且つ供給電力よりも蓄電電力の電圧の方が高い場合に、NAND回路114をオンするような検出信号をつぎの信号Aの立ち下がりまで供給し続け、その昇圧電圧が基準電圧回路126からの基準電圧未満で、且つ供給電力よりも蓄電電力の電圧の方が高い場合に、NAND回路114をオフするような検出信号をつぎの信号Aの立ち下がりまで供給し続けることができる。

【0111】このため、昇圧回路20から出力される昇圧電力の電圧が低下、あるいは発生しなかった場合は、その後一定時間は第2の発振回路94で生成されるクロック信号を用いて昇圧回路20を駆動するのを中止し、この動作を一定時間毎に繰り返すようにするので、蓄電電力の無駄な消費が防止され、効率的に蓄電することができる。

【0112】（実施の形態6）本実施の形態6に係る電子機器は、発電機12から供給される電力を昇圧回路20で昇圧し、整流素子24を介して2次電池22に充電



され蓄電される。そして、発電機 12 から出力される供給電力と昇圧回路 20 から出力される昇圧電力のうち、電圧の高い方の電力に切り換えて第 1 の発振回路 92 に供給する発振電力制御回路 140 と、その発振電力制御回路 140 から供給される電力に基づいてクロック信号を生成する第 1 の発振回路 92 と、2 次電池 22 に蓄電された蓄電電力に基づいてクロック信号を生成する第 2 の発振回路 94 とを有する。

【0113】また、昇圧電力と蓄電電力の電圧を比較し、高い電圧から成る電力に基づいて生成された第 1 の発振回路 92 又は第 2 の発振回路 94 からのクロック信号を選択して昇圧回路 20 を駆動するようにしたものである。

【0114】例えば、発電機 12 から電力が供給されると、発振電力制御回路 140 が供給電力に基づいて第 1 の発振回路 92 を起動させ、そこで生成されたクロック信号がクロック信号制御回路 142 で選択されて昇圧回路 20 を駆動し、昇圧された昇圧電力を 2 次電池 22 に蓄電する。

【0115】昇圧電力が発振電力制御回路 140 に入力されると、第 1 の発振回路 92 では、昇圧電力に基づいてクロック信号が生成され、昇圧電力に基づくクロック信号で昇圧回路が駆動される。2 次電池 22 が十分に充電され、昇圧電力よりも蓄電電力の電圧が高くなると、クロック信号制御回路 142 は、第 2 の発振回路 94 で生成されるクロック信号で昇圧回路 20 を駆動するようにする。

【0116】このように、図 21 の電子機器では、図 13 あるいは図 16 で示した電子機器と比べ、蓄電の際、最も電圧の高くなる昇圧電力状況により生成されたクロック信号で昇圧回路 20 を駆動することができるため、振幅の大きいクロック信号で効率良く昇圧することができる、効率良く蓄電することができる。

【0117】図 22 は、図 21 の発振電力制御回路 140 の回路構成例を示す図である。図 22 において、発電手段 12 からの供給電力が入力される入力端子 144 と、昇圧回路 20 の出力側と接続された入力端子 146 とを、第 1 の発振回路 92 に電力を供給する出力端子 148 に接続し、入力端子 146 あるいは出力端子 148 から入力端子 144 に電流が逆流するのを防止するように整流素子 149 が配置されている。このため、電圧の高い供給電力又は昇圧電力の何れか一方を選択して第 1 の発振回路 92 に供給することができる。

【0118】図 23 は、図 21 のクロック信号制御回路 142 の回路構成例を示す図である。図 23 に示されるように、クロック信号制御回路 142 は、スイッチングを行う第 1、第 2、第 3 の NAND 回路 150、152、154 により、第 1 の発振回路 92 から供給されるクロック信号（入力端子 98）と、第 2 の発振回路 94 から供給されるクロック信号（入力端子 106）とを選

択して、昇圧回路 20 へ出力する（出力端子 102）切り換えスイッチが構成されている。

【0119】また、入力される昇圧電力（入力端子 100）と、入力される蓄電電力（入力端子 104）との電圧比較を行うコンパレータ回路 156 とインバータ回路 158 により電圧比較手段が構成されており、供給電力と蓄電電力の電圧の大小関係によってクロック信号が選択されるようになっている。

【0120】さらに、NAND 回路 154 に対しては、間欠パルス発生回路 160 から間欠的にパルス信号が入力されている。このため、NAND 回路 154 をオンさせて第 2 の発振回路 94 からのクロック信号で昇圧回路 20 を駆動させる場合は、間欠パルス信号により NAND 回路 154 のオン／オフが繰り返され、昇圧回路 20 に供給されるクロック信号も間欠的となる。

【0121】上述のように動作するので、発電機 12 からの供給電力が途絶え、昇圧電力もなくなった後に、第 1 の発振回路 92 の動作電圧以下の供給電力が発生した場合でも、第 2 の発振回路 94 で生成されるクロック信号により昇圧回路を駆動できるので、昇圧電力が発生し、第 1 の発振回路 92 で昇圧回路 20 を駆動できる。第 2 の発振回路 94 で生成されるクロック信号を利用して昇圧回路を駆動する期間は、上記したように、第 1 の発振回路 92 のクロック信号を利用して昇圧回路 20 を駆動できるまでの期間だけでいい。

【0122】このため、蓄電電力を用いて第 2 の発振回路 94 で生成されるクロック信号を昇圧回路に供給する電力が無駄に消費されるのが防止され、効率良く蓄電することができる。

【0123】以上述べたように、上記実施の形態によれば、供給電力の電圧が変動する発電機からの電圧を昇圧し、その電力で負荷回路を動作させたり、あるいは、その昇圧電力を蓄積手段に溜めて、その溜めた電力で負荷回路を動作させる電子機器の場合に、発電機の供給電力の電圧が昇圧回路を駆動する最低駆動電圧以下に低下するような場合であっても有効である。

【0124】特に、本発明は、発電機により発生する電力を使って、携帯電子機器を起動させて動作させる場合に、効率良く蓄電することが可能となる。このため、発電が行われていない時間が生じてでもできるだけ動作時間を長くすることができる。

【0125】例えば、本実施の形態の熱電変換素子を発電機として使用し、その起電力を昇圧した昇圧電力あるいはその昇圧電力を蓄電手段に蓄電した蓄電電力で時計システムを駆動する腕時計に応用することにより、腕から外しても十分な時間動作する熱電変換素子の起電力を利用した腕時計を実現することができる。

【0126】なお、上記実施の形態では、発電機として熱電変換素子を用いて実施したが、供給電力の電圧が変動し易い太陽電池やコイル発電器などであっても上記と

同様に有効である。

【0127】

【発明の効果】本発明によれば、電力を供給する給電装置をできるだけ小型化するとともに、高い充電効率で充電器を充電することが可能である。

【図面の簡単な説明】

【図1】第1の態様に係る電子機器の概略構成を示すブロック図である。

【図2】図1の発振電力制御回路の回路構成図である。

【図3】図1の発振電力制御回路の他の回路構成図である。

【図4】第2の態様に係る電子機器の概略構成を示すブロック図である。

【図5】図4の発振電力制御回路の回路構成図である。

【図6】図5における信号波形図である。

【図7】図1の発振電力制御回路の回路構成図である。

【図8】図7における信号波形図である。

【図9】第3の態様に係る電子機器の概略構成を示すブロック図である。

【図10】図9の発振電力制御回路の回路構成図である。

【図11】図9の発振電力制御回路の他の回路構成図である。

【図12】図9の発振電力制御回路の回路構成図である。

【図13】第3の態様に係る電子機器の概略構成を示すブロック図である。

【図14】図13のクロック信号制御回路の回路構成例を示す図である。

【図15】図13のクロック信号制御回路の他の構成例を示す図である。

【図16】第4の態様に係る電子機器の概略構成を示すブロック図である。

【図17】図16のクロック信号制御回路の回路構成例を示す図である。

【図18】図17における信号波形図である。

【図19】図16のクロック信号制御回路の他の回路構成例を示す図である。

【図20】図19における信号波形図である。

【図21】第5の態様に係る電子機器の概略構成を示すブロック図である。

【図22】図21の発振電力制御回路の回路構成図である。

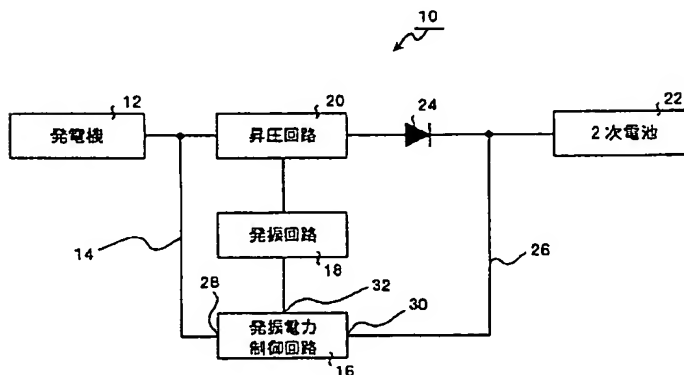
【図23】図21のクロック信号制御回路の回路構成図である。

【図24】従来における電子機器の概略構成を示す図である。

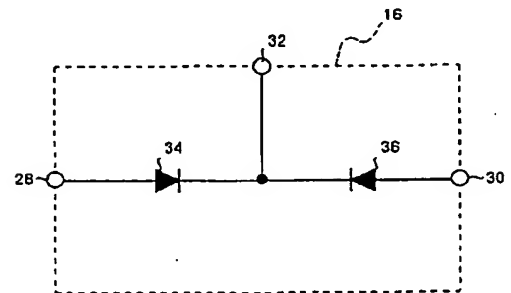
【符号の説明】

- 10 電子機器
- 12 発電機
- 14 第1電力供給線
- 16 発振電力制御回路
- 18 発振回路
- 20 昇圧回路
- 22 2次電池
- 24 ショットキーダイオード
- 26 第2電力供給線

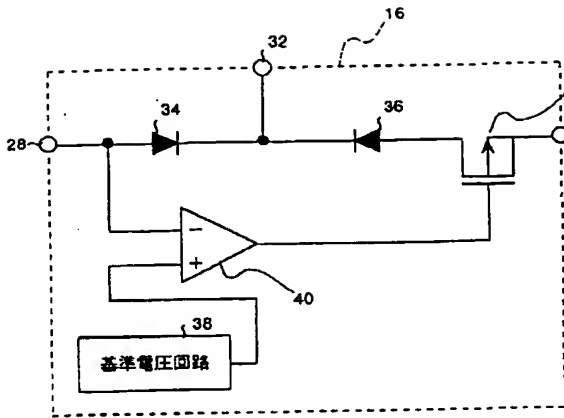
【図1】



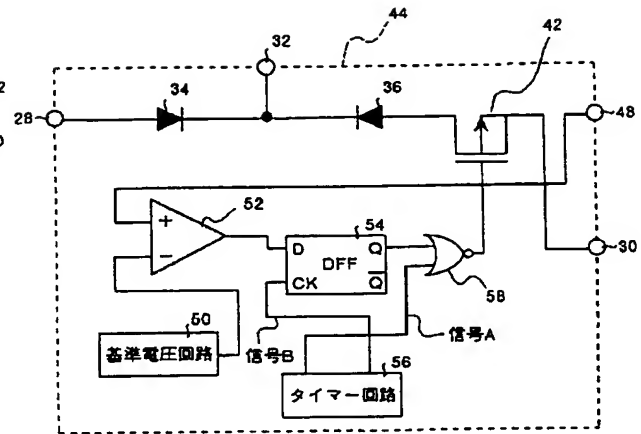
【図2】



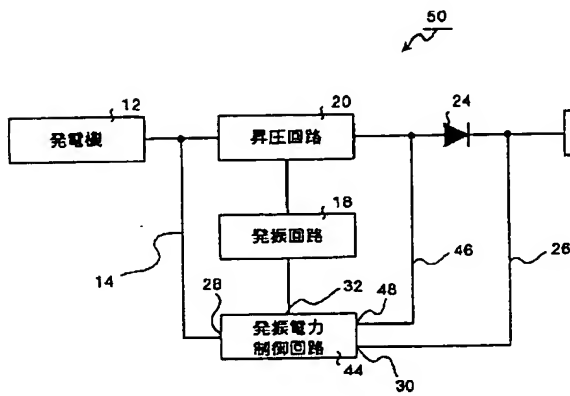
【図 3】



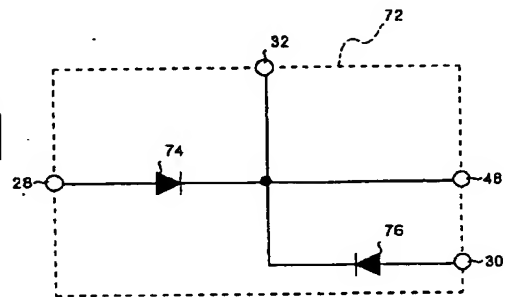
【図 5】



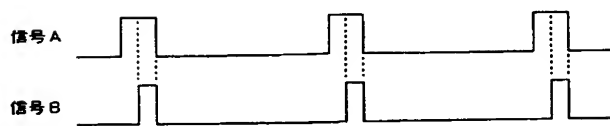
【図 4】



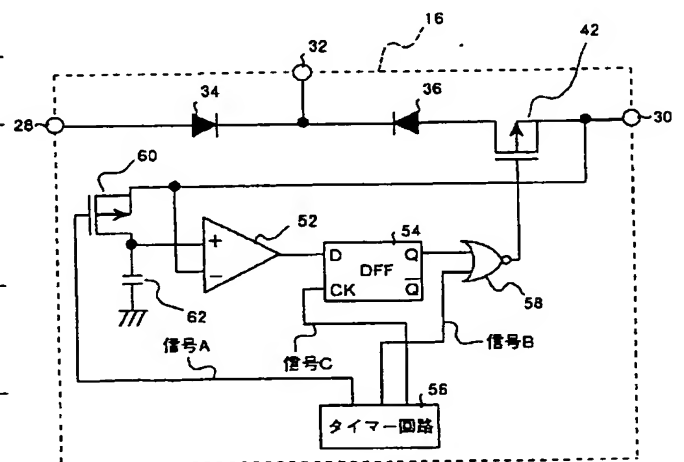
【図 10】



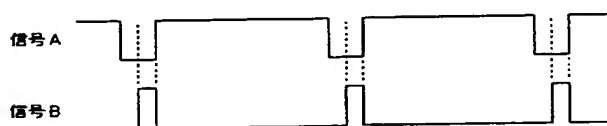
【図 6】



【図 7】

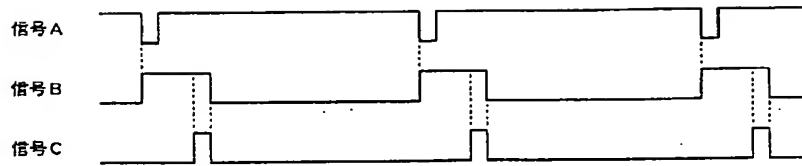


【図 18】

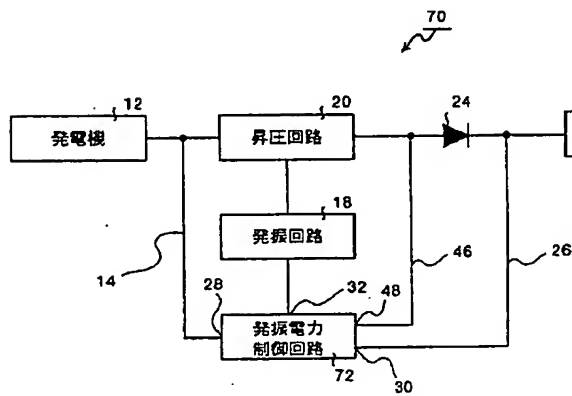




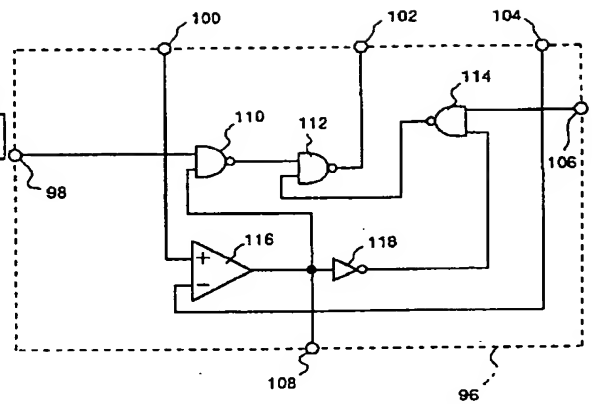
【図 8】



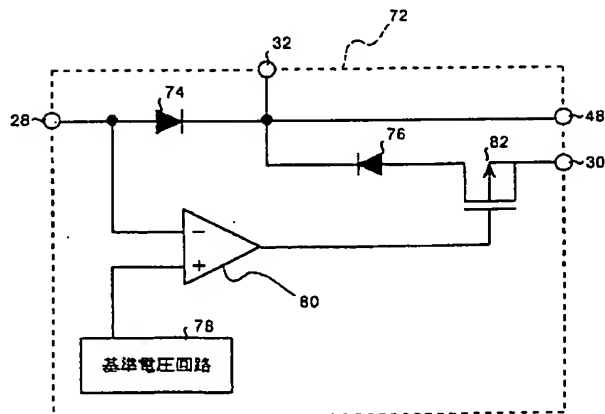
【図 9】



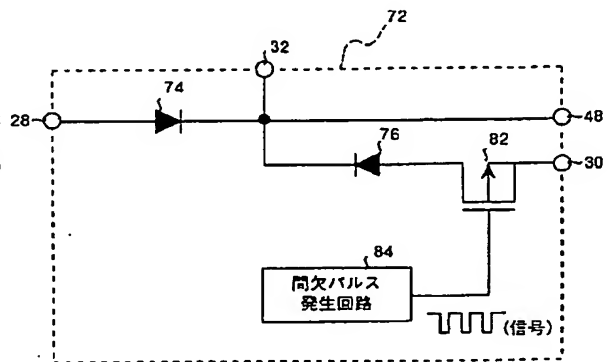
【図 14】



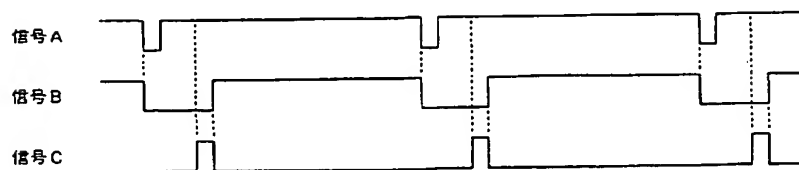
【図 11】



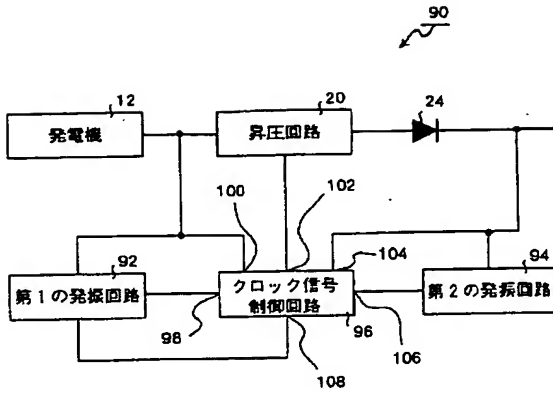
【図 12】



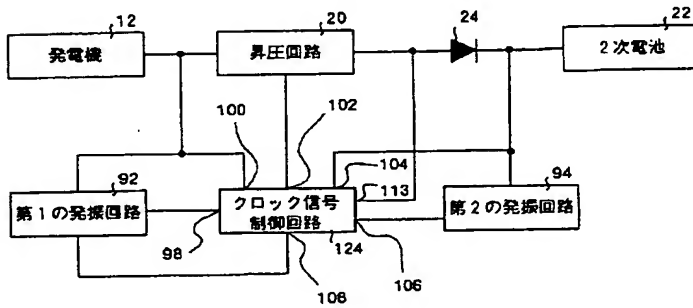
【図 20】



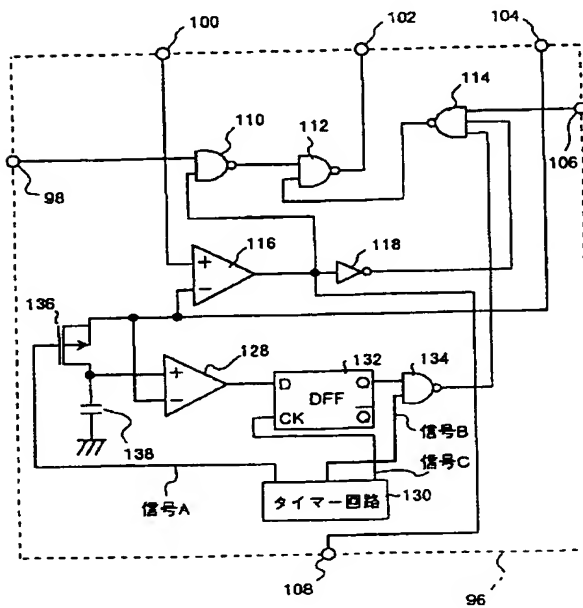
【図 13】



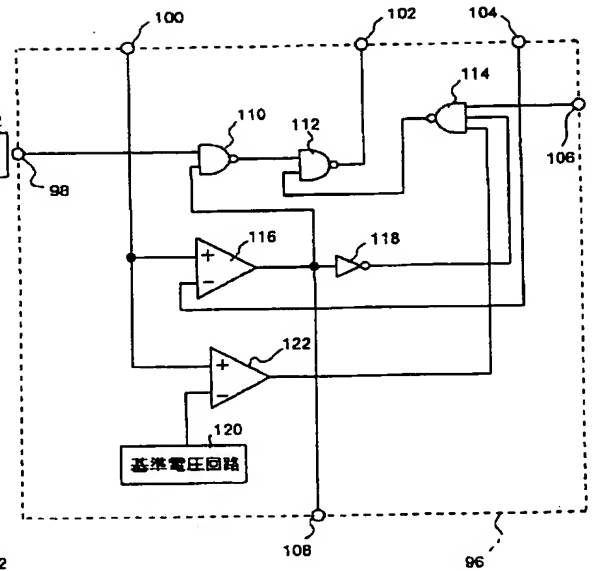
【図 16】



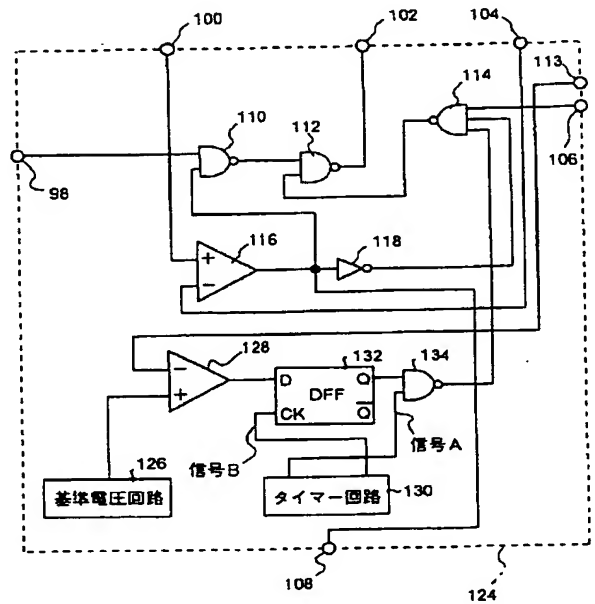
【図 19】



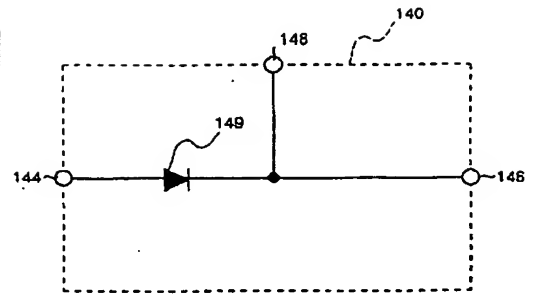
【図 15】



【図 17】



【图 22】



500

502 給電装置

506 昇圧回路

508 整流素子

510 蓄電器

504 発振回路

フロントページの続き

(72) 発明者 吉田 宜史  
千葉県千葉市美浜区中瀬 1 丁目 8 番地 株  
式会社エスアイアイ・アールディセンター  
内